

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-119154

(P2001-119154A)

(43) 公開日 平成13年4月27日 (2001.4.27)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 5 K 3/46		H 0 5 K 3/46	Z 5 E 3 2 1
1/02		1/02	Q 5 E 3 3 8
9/00		9/00	P 5 E 3 4 6
			R

審査請求 有 請求項の数13 OL (全 14 頁)

(21) 出願番号 特願平11-300396

(22) 出願日 平成11年10月22日 (1999. 10. 22)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 木下 靖

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 和深 裕

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100089875

弁理士 野田 茂

包袋済

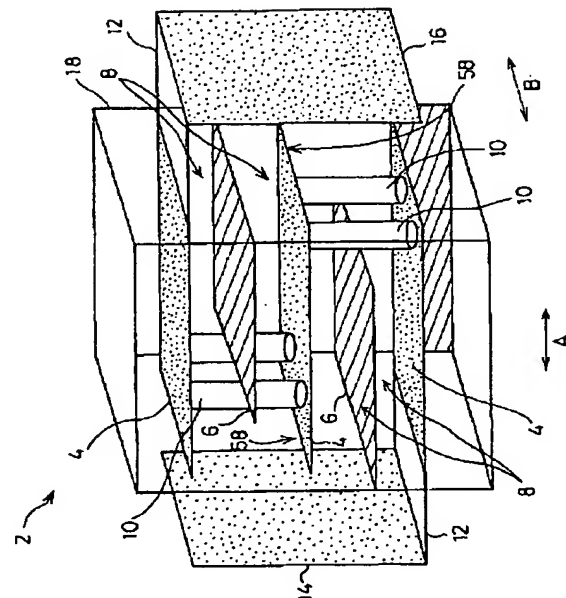
最終頁に続く

(54) 【発明の名称】 電磁干渉抑制部品および電磁干渉抑制回路

(57) 【要約】

【課題】 電磁ノイズの抑制、電源の安定化、設計工数の削減などを図る。

【解決手段】 配線層4とグランド層6とが絶縁層8を介して交互に積層されている。下から奇数番目の配線層4と1つ上の配線層4とは右側の端部でビアホール10により接続され、偶数番目の配線層4と1つ上の配線層4とは左側の端部で接続されている。最下層の配線層4は信号端子14に、最上層の配線層4は信号端子16に接続され、各グランド層6はグランド端子18側の辺部においてグランド端子18に接続されている。LSIの電源端子にたとえば信号端子14を接続し、信号端子16とグランドとの間にはコンデンサを接続して電磁干渉抑制回路を構成する。電磁干渉抑制部品2は等価的に伝送線路を形成し、特性インピーダンスをコンデンサの等価直列抵抗値に一致させることで反射が非常に小さくなる。その結果、LSIの電源端子からの高周波電源電流は効果的に電磁干渉抑制部品2側にバイパスされる。



【特許請求の範囲】

【請求項 1】 導電性材料から成る複数の配線層と複数のグラウンド層とを含み、

前記配線層と前記グラウンド層とは交互に積層され、隣接する前記配線層と前記グラウンド層との間に絶縁材料から成る絶縁層が介在し、

下から奇数番目の前記配線層とその 1 つ上の前記配線層とは同一側の端部において電気的に接続され、

下から偶数番目の前記配線層とその 1 つ上の前記配線層とは前記端部と反対側の端部において電気的に接続され、

最下層の前記配線層は第 1 の信号端子に接続され、最上層の前記配線層は第 2 の信号端子に接続され、前記グラウンド層はグラウンド端子に接続されていることを特徴とする電磁干渉抑制部品。

【請求項 2】 前記最下層の前記配線層は、その 1 つ上の前記配線層との接続端部と反対側の端部において前記第 1 の信号端子に接続され、前記最上層の前記配線層は、その 1 つ下の前記配線層との接続端部と反対側の端部において前記第 2 の信号端子に接続されていることを特徴とする請求項 1 記載の電磁干渉抑制部品。

【請求項 3】 前記第 1 および第 2 の信号端子ならびに前記グラウンド端子のいずれか 1 つまたは複数の、複数の端子により構成されていることを特徴とする請求項 1 記載の電磁干渉抑制部品。

【請求項 4】 前記第 1 または第 2 の信号端子と前記グラウンド端子間の特性インピーダンスは 0.05 オームないし 0.1 オームであることを特徴とする請求項 1 記載の電磁干渉抑制部品。

【請求項 5】 前記絶縁材料の比誘電率は 1.00 以上であることを特徴とする請求項 1 記載の電磁干渉抑制部品。

【請求項 6】 隣接する前記配線層と前記グラウンド層との間隔が、積層順に狭くなるように、またはしだいに広くなるように形成されていることを特徴とする請求項 1 記載の電磁干渉抑制部品。

【請求項 7】 各配線層における、それぞれの両方の接続端部を結ぶ方向に直交する方向の幅は積層順に狭くなるように、またはしだいに広くなるように形成されていることを特徴とする請求項 1 記載の電磁干渉抑制部品。

【請求項 8】 各配線層は、それぞれの両方の接続端部を結ぶ方向の長さが、同方向に直交する方向の幅より長いことを特徴とする請求項 1 記載の電磁干渉抑制部品。

【請求項 9】 導電性材料から成る複数の配線層と複数のグラウンド層とを含み、

前記配線層と前記グラウンド層とは交互に積層され、隣接する前記配線層と前記グラウンド層との間に絶縁材料から成る絶縁層が介在し、

下から奇数番目の前記配線層とその 1 つ上の前記配線層

とは同一側の端部において電気的に接続され、

下から偶数番目の前記配線層とその 1 つ上の前記配線層とは前記端部と反対側の端部において電気的に接続され、

最下層の前記配線層は第 1 の信号端子に接続され、

最上層の前記配線層は第 2 の信号端子に接続され、

前記グラウンド層はグラウンド端子に接続されている電磁干渉抑制部品と、

前記第 1 または第 2 の信号端子と前記グラウンド端子との間に接続されたコンデンサとを含み、

前記コンデンサの特性インピーダンスと、前記コンデンサが接続された前記第 1 または第 2 の信号端子と前記グラウンド端子間の前記電磁干渉抑制部品の特性インピーダンスとはほぼ等しいことを特徴とする電磁干渉抑制回路。

【請求項 10】 前記コンデンサはセラミックコンデンサであることを特徴とする請求項 9 記載の電磁干渉抑制回路。

【請求項 11】 前記コンデンサの特性インピーダンスは 0.05 オームないし 0.1 オームであることを特徴とする請求項 9 記載の電磁干渉抑制回路。

【請求項 12】 前記コンデンサが接続されていない前記第 1 または第 2 の信号端子は、半導体集積回路の電源端子に接続されていることを特徴とする請求項 9 記載の電磁干渉抑制回路。

【請求項 13】 前記電磁干渉抑制部品、前記コンデンサ、ならびに前記半導体集積回路は、電源層、グラウンド層、ならびに信号層を絶縁層を介して積層した多層プリント配線基板上に実装され、前記半導体集積回路の電源端子は前記電源層に接続され、前記半導体集積回路のグラウンド端子は前記多層プリント配線基板の前記グラウンド層に接続され、前記電磁干渉抑制部品のグラウンド端子は前記多層プリント配線基板のグラウンド層に接続されていることを特徴とする請求項 12 記載の電磁干渉抑制回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層プリント配線基板などに実装された半導体集積回路などの周辺から電磁ノイズが発生することを抑制する電磁干渉抑制部品および電磁干渉抑制回路に関するものである。

【0002】

【従来の技術】近年、トランジスタ、IC、LSI等の半導体部品の急激な高速化とともに、これらの半導体部品を含む電子機器自身あるいは他の電子機器に誤作動を引き起こす電磁干渉すなわちEMI(Electromagnetic Interference)が大きな問題となってきている。

【0003】例えば、最近のパーソナルコンピュータでは、CPU(中央処理装置)の内部クロック周波数は6

10

20

30

40

50

50MHzにまで高まってきており、まもなくGHzオーダーに達すると予想される。このような高周波動作のLSIの信号線や電源線には、数GHz以上の高調波成分が含まれており、定常的に高周波の電磁ノイズを発生している。そのため、これらの半導体部品を多数搭載した多層プリント配線基板においては、適切な対策が施されていなければ、基板内の配線がアンテナとなり、電磁ノイズを電波として外部に放出し、電子機器自身あるいは他の電子機器に誤動作を引き起こしてしまう。

【0004】このEMIにおいて特に大きなウェートを占めるのは、コモンモードといわれる回路の寄生容量や寄生相互インダクタンスによって流れる電流（回り込み電流）や電源供給線に流れ込む高周波電流による電磁放射である。しかし、その発生機構が複雑なため、発生源に近い箇所での有効な対策方法はこれまで存在しなかった。従来からプリント配線基板の上下両面に電磁ノイズを吸収する電磁ノイズ吸収層を設ける方法やプリント配線基板の内層に電磁ノイズ吸収層を設ける方法などが考案されているが電磁ノイズの発生をコントロールできないので、その効果にも限界があった。このため、現状では主に電子機器全体を金属筐体で電磁遮蔽をするという対策がとられている。

【0005】一般の多層プリント配線基板においては、電源層とグランド層と信号層とが絶縁材を介して積層されており、図9に示すように、高周波電源電流の発生源であるIC/LSI803は、多層プリント配線基板805の電源層801による電源供給線とグランド層802によるグランド線との間に接続され、その近傍にデカップリングコンデンサ804が配置され、電源層801とグランド層との間に並列に接続される。このようなデカップリングコンデンサ804により、IC/LSI803のスイッチング動作に伴って電源層801に流れる高周波電源電流は、IC/LSI803の近傍でバイパスされ、さらに、IC/LSI803のスイッチング動作に伴うIC/LSI803の電源端子部803Aの電圧変動が抑制される。

【0006】なお、従来の多層プリント配線基板805の電源供給線となる電源層801は、全面導電膜の層で構成された、いわゆる全面平板の電源層である。全面平板の電源層を用いることにより、電流の流れる面を最大にして電源供給線の抵抗値を小さくし、電源電圧の直流的な変動を緩和することができる。

【0007】一方、電源層を配線化して高周波電流を制御するようにした多層プリント配線基板によるEMI抑制技術（特開平9-139573号公報）が知られている。図10はこの技術を用いたプリント配線基板の一例を示す要部平面図であって、多層プリント配線基板901の電源層のレイアウトを示している。図10に示した多層プリント配線基板901では、主幹となる導体部である幹線パターン902から分岐した多数の櫛形も

しくはつづら折り状の枝電源配線905とからなる導体パターン（斜線部）によって、電源層を構成している。

【0008】そして、各枝電源配線905の先端に回路素子（半導体集積回路）903を配置し、幹線パターン902および枝電源配線905を介して各回路素子903が給電されるようにしている。また、デカップリングコンデンサ904は回路素子903ごとにその給電点の近傍および幹線パターン902と枝電源配線905との接続点に設けられている。

【0009】この従来例の特徴は、枝電源配線905がインダクタンス素子として機能するので、各回路素子903への電源回路に比較的大きな値のインダクタンスを確保することができるという点にある。そのため、回路素子903の動作に伴って周辺の他の回路素子903に対応するデカップリングコンデンサへ流入する高周波の電源電流を従来の多層プリント配線基板の場合に比べて小さくすることができる。つまり、電源層を配線化することによって、電源層自身でインピーダンス付加回路が構築されており、デカップリングコンデンサのフィルタ効果を高めるように図られている。

【0010】

【発明が解決しようとする課題】しかし、上述した全面平板の電源層801をもつ多層プリント配線基板805を用いた従来例では、IC/LSI803の動作に伴いデカップリングコンデンサ804を介して電源層801に流れ込む高周波電源電流を設計者がコントロールできないという問題がある。すなわち、全面平板の場合、電源層801のインピーダンスが小さいことから、IC/LSI803の高周波電源電流は、一つのIC/LSI803の近傍に配置したデカップリングコンデンサ804だけでなく、他のIC/LSI803の近傍に配置したデカップリングコンデンサ804にも流れ込むことになり、多層プリント配線基板805全体では、高周波電源電流の分布は非常に複雑であり、解析が困難であった。このため、IC/LSI803ごとに配置するデカップリングコンデンサ804の容量値を決定することができなかった。

【0011】また、電源層801に流れ込んだ高周波電源電流は、電源層801自身が全面平板となっているため、その経路が複雑であり、場合によっては大きなループを形成して、電磁ノイズの発生の要因になるという問題があった。例えば、図11はデカップリングコンデンサが接続された複数の回路素子周辺の一例を示す回路図であり、この例では図に示したように、高周波電源電流が大であるIC/LSI101aと、高周波電源電流が中程度であるIC/LSI101bと、高周波電源電流が小であるIC/LSI101cとがそれぞれ電源供給線およびグランドに並列に接続されており、また、それぞれのIC/LSI101a～101cの高周波電源電流量に応じて、IC/LSI101aの近傍には容量の

大きな（インピーダンスが小さい）デカップリングコンデンサ102aが、IC/LSI101bの近傍には容量が中程度の（インピーダンスが中程度の）デカップリングコンデンサ102bが、IC/LSI101cの近傍には容量の小さな（インピーダンスが大きい）デカップリングコンデンサ102cが、それぞれ配置されている。

【0012】このような構成において、全面平板の電源層801をもつ多層プリント配線基板805を用いた従来例のように、インダクタンス103a、103b、103cが設けられていないとすると、次のような問題が生じる。すなわち、IC/LSI101cの近傍に配置したデカップリングコンデンサ102cのインピーダンスが大きいため、IC/LSI101cからのすべての高周波電源電流が、デカップリングコンデンサ102cでグラウンドにバイパスされず、一部がIC/LSI101aまたは101bに流れ込んでしまい、電流ループ面積が大きくなり、その結果、放射電磁ノイズが増大するという問題が起こり得る。

【0013】また、IC/LSI101cの高周波電源電流が、近傍に配置されたデカップリングコンデンサ102cで十分にバイパスされない場合、高周波電源電流が他経路へ流れ込み、その結果、電源電圧が交流的に大きく変動してIC/LSI自身の安定動作にも影響することすら起こり得る。

【0014】従来は、上述のように外部に放射される電磁ノイズを抑制すべく、電子機器全体を金属筐体内に収納することにより、電磁遮蔽を行っているが、金属筐体には電子機器の操作部その他を設ける必要上、開口部を設けなければならず、完全に電磁ノイズの外部への漏れを防止することは困難である。

【0015】一方、上記の電源層を配線化した多層プリント配線基板では、図11に示したように、電源層によって等価的にインダクタンス103a、103b、103cが設けられていることになる。したがって、IC/LSI101a～101cの各高周波電流を近傍に設置したデカップリングコンデンサ102a～102cでバイパスさせ、電流ループを小さくし、他のIC/LSI803への流れこみを遮断することができる。しかし、この従来技術では、電源層の配線化の方法が複雑であり、十分なインダクタンスが得られるように配線するには、広い領域を確保する必要があるが、多層プリント配線基板における実装密度が低下する結果となっていた。また、プリント配線基板に多数搭載されている高周波スイッチング回路素子それぞれの電源－グラウンド端子ごに電源デカップリング回路の設計を行わなければならないが、その設計工数が膨大となる。このデカップリング回路の設計には、高周波スイッチング回路素子（IC、LSI）の高周波電源電流のデータもしくは電源系のインピーダンス特性や電流特性特性などが必要となるが、これらの

データは一般に半導体メーカーから開示されないため、高周波電源電流値を入手可能な特性データから類推するしかなく、デカップリング回路の設計を精度よく行うことは困難であった。

【0016】さらに、デカップリング回路に使用するセラミックコンデンサの周波数特性は一般に悪く、高周波領域ではインダクタとして機能してしまい、期待するデカップリング効果が得にくいという問題があった。たとえば0.1μFのセラミックコンデンサの共振周波数は10MHz前後であり、それ以上の周波数ではインダクタとして作用してしまう。これは、コンデンサの電極パターンやリード線などによるインダクタンス成分が容量成分に直列に存在するためである。コンデンサの寄生インダクタンスは一般に、誘電体材質、電極パターン構造、容量値により異なるが、チップコンデンサで約2nH程度、リード付き2端子コンデンサで約7nHと大きい値である。

【0017】本発明は以上の点に鑑みなされたもので、その目的は、半導体集積回路などの周辺から放射される電磁ノイズを大幅に抑制できる電磁干渉抑制部品および電磁干渉抑制回路を提供することである。また、本発明の他の目的は、半導体集積回路などの動作に伴い高周波電源電流が流れることによって生じる電源電圧の変動を抑えて半導体集積回路などの動作の安定化を図ることが可能な電磁干渉抑制部品および電磁干渉抑制回路を提供することである。さらに、本発明の他の目的は、半導体集積回路などに対する電源デカップリング回路の精密な設計を不要にして設計工数の大幅な削減を可能にする電磁干渉抑制部品および電磁干渉抑制回路を提供することである。

【0018】

【課題を解決するための手段】本発明の電磁干渉抑制部品は、上記目的を達成するため、導電性材料から成る複数の配線層と複数のグラウンド層とを含み、前記配線層と前記グラウンド層とは交互に積層され、隣接する前記配線層と前記グラウンド層との間に絶縁材料から成る絶縁層が介在し、下から奇数番目の前記配線層とその1つ上の前記配線層とは同一側の端部において電氣的に接続され、下から偶数番目の前記配線層とその1つ上の前記配線層とは前記端部と反対側の端部において電氣的に接続され、最下層の前記配線層は第1の信号端子に接続され、最上層の前記配線層は第2の信号端子に接続され、前記グラウンド層はグラウンド端子に接続されていることを特徴とする。

【0019】また、本発明の電磁干渉抑制回路は、導電性材料から成る複数の配線層と複数のグラウンド層とを含み、前記配線層と前記グラウンド層とは交互に積層され、隣接する前記配線層と前記グラウンド層との間に絶縁材料から成る絶縁層が介在し、下から奇数番目の前記配線層とその1つ上の前記配線層とは同一側の端部において電

氣的に接続され、下から偶数番目の前記配線層とその1つ上の前記配線層とは前記端部と反対側の端部において電氣的に接続され、最下層の前記配線層は第1の信号端子に接続され、最上層の前記配線層は第2の信号端子に接続され、前記グランド層はグランド端子に接続されている電磁干渉抑制部品と、前記第1または第2の信号端子と前記グランド端子との間に接続されたコンデンサとを含み、前記コンデンサの特性インピーダンスと、前記コンデンサが接続された前記第1または第2の信号端子と前記グランド端子間の前記電磁干渉抑制部品の特性インピーダンスとはほぼ等しいことを特徴とする。

【0020】したがって、本発明の電磁干渉抑制部品の等価回路は、各配線層がコイルとして機能するので、複数のコイルを直列に接続し、隣接するコイルの各共通接続とグランド端子との間に、各配線層と、隣接するグランド層とによるコンデンサを接続した構成となる。そのため、たとえば0.05オームから0.1オームといったきわめて低い特性インピーダンスを実現できる。一方、本発明の電磁干渉抑制回路は、このような電磁干渉抑制部品にコンデンサを接続して構成でき、そのコンデンサとしたとえばセラミックコンデンサを用いると、セラミックコンデンサの等価直列抵抗は0.05オームから0.1オーム程度であるから、上記電磁干渉抑制部品は特性インピーダンスとほぼ同じインピーダンスで終端されて反射がきわめて少ない伝送線路となる。

【0021】したがって、電磁干渉抑制部品の、コンデンサを接続しない側の第1または第2の信号端子を半導体集積回路などの電源端子に接続すれば、その電源端子は高周波的には非常に低いインピーダンスでグランドに接続されることになり、半導体集積回路などで発生する高周波電源電流を電源端子の箇所ですぐに電流ループで直ちにバイパスすることができる。

【0022】その結果、半導体集積回路などで発生した高周波電源電流は、ごく一部が電源導体側に流れるのみとなり、従来、電源導体などがアンテナとなって発生していた放射電磁ノイズは大幅に低減する。そして、逆に他の半導体集積回路などで発生した高周波電源電流は、本発明の電磁干渉抑制回路によってバイパスされるので、電磁干渉抑制回路を接続した半導体集積回路には高周波電源電流は流れ込まず、したがってノイズ耐性が向上する。

【0023】また、半導体集積回路などで発生した高周波電源電流が電源導体側にはわずかしき流れないので、高周波電源電流が電源導体を流れることによって従来発生していた電源電圧の交流的な変動は大幅に抑制され、半導体集積回路などの動作の安定化を図ることが可能となる。さらに、本発明の電磁干渉抑制回路が従来のデカップリングコンデンサの機能を果たすので、半導体集積回路の電源端子などに従来接続していたデカップリングコンデンサは不要である。そして、本発明の電磁干渉抑

制回路は、デカップリングコンデンサを用いる場合のように各半導体集積回路ごとに特性を設計する必要がないので、設計工数を大幅に削減することができる。

【0024】また、本発明の電磁干渉抑制部品は基本的に導体層を絶縁層を介在させて積層した構成であるから構造がきわめて簡素であり、低コストで、かつ小型に作製することができる。そして、従来のように電源配線を蛇行させてインダクタンスを高めたりする必要がないので、半導体集積回路などを多層プリント配線基板などに高密度で実装することができる。

【0025】

【発明の実施の形態】次に本発明の実施の形態例について図面を参照して説明する。図1は本発明による電磁干渉抑制部品の一実施の形態例を示す斜視概念図である。図1に示したように、実施の形態例の電磁干渉抑制部品2は、導電性材料から成る複数の配線層4と複数のグランド層6とを含み、配線層4とグランド層6とは交互に積層され、隣接する配線層4とグランド層6との間には絶縁材料から成る絶縁層8が介在している。

【0026】そして、下から奇数番目の配線層4とその1つ上の配線層4とは図1における右側の端部で、絶縁層8を貫通し導電性材料が充填されたビアホール10

(本実施の形態例では一例として2本)により相互に電氣的に接続され、一方、下から偶数番目の配線層4とその1つ上の配線層4とは反対側の端部、すなわち図1における左側の端部でビアホール10により電氣的に接続されている。なお、各ビアホール10の貫通箇所にはグランド層6は存在せず、したがってビアホール10とグランド層6とは機械的、電氣的に分離されている。

【0027】また、最下層の配線層4は導電層12を通じて第1の信号端子14に接続され、最上層の配線層4は導電層12を通じて第2の信号端子16に接続されている。そして各グランド層6はすべてグランド端子18側の辺部においてグランド端子18に接続されている。より詳しくは、本実施の形態例では、前記最下層の配線層4は、その1つ上の配線層4との接続端部と反対側の端部(左側)において第1の信号端子14に接続され、前記最上層の配線層4は、その1つ下の配線層4との接続端部と反対側の端部(右側)において第2の信号端子16に接続されている。

【0028】各配線層4はビアホール10により上述のように接続されているため、たとえば第1の信号端子14から電流が流入したとすると、その電流は各配線層4中を必ず一方の端部から他方の端部へと流れて第2の信号端子16に至る。したがって各配線層4はインダクタンス要素として効果的に作用する。

【0029】本実施の形態例では、絶縁層8を構成する絶縁材料の比誘電率は100以上であり、配線層4により形成されるインダクタンス成分と、配線層4とグランド層6とにより形成されるキャパシタンス成分との比率

は1:100程度となっている。これにより、第1または第2の信号端子14、16とグランド端子18間の特性インピーダンスとして0.05オームないし0.1オームの値が得られる。

【0030】なお、図1では容易に理解できるようにするため、3層の配線層4および2層のグランド層6のみが示されているが、実際には、これら配線層4およびグランド層6は、たとえば数十層といったように多数形成されている。また、配線層4などの上下関係に関する上記表現は便宜でなものであり、たとえば図1における最下層の配線層4は、機能的に必ず最下層である必要はなく、電磁干渉抑制部品2を図1の状態とは上下を逆転して配置した場合には、最上層と表現することになる。この電磁干渉抑制部品2の動作については、次に説明する本発明による電磁干渉抑制回路の実施の形態例の動作と共に後に説明する。

【0031】図2は、多層プリント配線基板に実装した本発明の電磁干渉抑制回路の一例を示す平面図、図3の(A)ないし(C)は、図2のA-A'線、B-B'線、ならびにC-C'線に沿った断面側面図である。なお、図中、図1と同一の要素には同一の符号が付されている。

【0032】図3に示したように本実施の形態例で用いる多層プリント配線基板は一例として4層のプリント配線基板20であり、基板内部の下層に電源配線22が設けられ、上層にグランド層24が形成されている。プリント配線基板20の上面および下面には適宜、配線26、28などが延設されている。これら各層の配線やグランド層6は絶縁材料層30により絶縁分離されている。

【0033】図2に示したように、電磁ノイズを抑制すべき半導体集積回路であるLSI32は上記プリント配線基板20上に搭載され、その近傍に実施の形態例の電磁干渉抑制回路34が配置されている。LSI32の電源端子36は、図3の(A)に示したように、プリント配線基板20上に延設された配線26に接続され、配線26はプリント配線基板20を貫通するビアホール42により電源配線22に接続されている。一方、LSI32のグランド端子33は、図3の(C)に示したように、プリント配線基板20上の配線27に接続され、配線27はプリント配線基板20を貫通するビアホール42によりグランド層24に接続されている。

【0034】実施の形態例の電磁干渉抑制回路34は、図1の電磁干渉抑制部品2とチップコンデンサ38とにより構成され、チップコンデンサ38の一端はプリント配線基板20の表面に形成された配線40により電磁干渉抑制部品2の第2の信号端子16に接続され、他端は、図3の(C)に示したように、プリント配線基板20を貫通するビアホール42によりプリント配線基板20のグランド層24に接続されている。チップコンデ

ンサ38は本実施の形態例ではセラミックコンデンサであり、その等価直列抵抗は0.05オームから0.1オーム程度である。

【0035】そして、電磁干渉抑制部品2の第1の信号端子14は、図3の(A)に示したように、プリント配線基板20を貫通するビアホール42によってプリント配線基板20内に形成された電源配線22に接続され、電磁干渉抑制部品2のグランド端子18は、図3の

(C)に示したように、プリント配線基板20を貫通するビアホール42によってプリント配線基板20内に形成されたグランド層24に接続されている。また、本実施の形態例では、LSI32および電磁干渉抑制回路34から比較的離れた位置に、チップコンデンサ44が配置され、チップコンデンサ44の一端は電源配線22に、他端はグランド層24にそれぞれビアホール42を介して接続されている。

【0036】図4はこのような実施の形態例の電磁干渉抑制回路34周辺を電気回路によって表した回路図である。図中、図2、図3と同一の要素には同一の符号が付されている。図4に示したように、電磁干渉抑制部品2は複数のコイル46を直列に接続し、隣接するコイル46の共通接続点とグランドとの間にコンデンサ48を接続した回路として表される。各コイル46が上記配線層4に対応し、各コンデンサ48は、配線層4とグランド層6とにより形成される静電容量に対応している。そして、電磁干渉抑制部品2の第2の信号端子16とグランドとの間にチップコンデンサ38が接続され、電磁干渉抑制部品2の第1の信号端子14はLSI32の電源端子36に接続されている。なお、図4に示したコイル46およびコンデンサ48の数は一例である。

【0037】電磁干渉抑制部品2は図4に示したように、回路的には伝送線路を形成しており、その特性インピーダンスは本実施の形態例では上述のように0.05オームから0.1オームとなっている。そして、この伝送線路は、等価直列抵抗が上記特性インピーダンスに等しい0.05オームから0.1オームのチップコンデンサ38により終端されていることになる。そのため、伝送線路の反射はきわめて少なく、LSI32の動作に伴って発生した高周波電源電流は、大部分が電磁干渉抑制回路34を通じてプリント配線基板20のグランド層24に流れる。すなわち、LSI32の電源端子36は高周波的には非常に低いインピーダンスでグランドに接続されることになり、LSI32で発生する高周波電源電流を電源端子36の箇所ですぐに電流ループで直ちにバイパスすることができる。

【0038】その結果、LSI32で発生した高周波電源電流は、ごく一部が電源配線22(電源導体)側に流れるのみとなり、従来、電源配線22などがアンテナとなって発生していた放射電磁ノイズは大幅に低減する。なお、電磁干渉抑制部品2は抵抗ではなくチップコンデ

10

20

30

40

50

ンサ 38 により終端されているので、電磁干渉抑制回路 34 を通じて直流電流が流れることはなく、電源電圧に悪影響を及ぼすことはない。図 5 は実施の形態例の電磁干渉抑制回路 34 を用いた場合の電源配線 22 を流れる高周波電源電流を実測した結果を示すグラフである。図中、横軸は周波数を表し、縦軸は電流値を表している。そして曲線 52 は電磁干渉抑制回路 34 を用いた場合、曲線 54 は従来通りデカップリングコンデンサのみを用いた場合の測定結果をそれぞれ示している。

【0039】図 5 から分かるように、周波数が 10 MHz 以上の領域で効果が現れており、100 MHz 以上の高周波領域で高周波電源電流は著しく低下している。また、電磁干渉抑制回路 34 を用いた場合、逆に他の半導体集積回路などで発生した高周波電源電流は、電磁干渉抑制回路 34 によってバイパスされるので、電磁干渉抑制回路 34 を接続した LSI 32 には高周波電源電流は流れ込まず、したがってノイズ耐性が向上する。そして、LSI 32 で発生した高周波電源電流が電源配線 22 側にはわずかししか流れないので、高周波電源電流が電源配線 22 を流れることによって従来発生していた電源電圧の交流的な変動は大幅に抑制され、LSI 32 の動作の安定化を図ることが可能となる。

【0040】さらに、電磁干渉抑制回路 34 が従来のデカップリングコンデンサの機能を果たすので、LSI 32 の電源端子 36 などに従来接続していたデカップリングコンデンサは不要である。そして、電磁干渉抑制回路 34 は、デカップリングコンデンサを用いる場合のように各半導体集積回路ごとに特性を設計する必要がないので、設計工数を大幅に削減することができる。なお、本実施の形態例ではデカップリングとして機能するチップコンデンサ 44 をさらに設けているが、このチップコンデンサ 44 は、電磁干渉抑制回路 34 によりすでに大幅に減衰した高周波電源電流をバイパスすればよいため、厳密な設計は不要である。そして、電磁干渉抑制部品 2 は基本的に導体層を絶縁層を介在させて積層した構成であるから構造がきわめて簡素であり、低コストで、かつ小型に作製することができる。

【0041】また、従来のように電源配線 22 を蛇行させてインダクタンスを高めたりする必要がないので、半導体集積回路などを多層プリント配線基板などに高密度で実装することができる。図 6 は複数の LSI をプリント配線基板上に実装し各 LSI ごとに実施の形態例の電磁干渉抑制回路を配置した場合を示す平面図である。図中、図 2、図 3 と同一の要素には同一の符号が付されている。この例では、図 6 に示したように、多層プリント配線基板 501 上に複数の LSI 32 が配置され、各 LSI 32 ごとに、その近傍に電磁干渉抑制回路 34 が配置されている。そして電源幹線配線 502 から分岐させた電源配線 22 は従来のように蛇行させる必要がないので、図 10 と比較して分かるように、より高密度で LSI

132 を実装することが可能となっている。

【0042】次に、本発明による電磁干渉抑制部品 2 の第 2 の実施の形態例について説明する。図 7 は本発明の第 2 の実施の形態例の電磁干渉抑制部品を示す要部断面側面図である。図中、図 1 などと同一の要素には同一の符号が付されている。この電磁干渉抑制部品 56 が上記電磁干渉抑制部品 2 と異なるのは、隣接する配線層 4 がビアホールを使用せずに接続されている点である。すなわち、図 7 に示したように、隣接する配線層 4 の接続端部 58 の間には絶縁層 8 およびグランド層 6 は介在せず、両接続端部 58 はそれぞれの対向面を互いに接触させて圧着されている。したがって、電磁干渉抑制部品 56 の配線層 4 は電磁干渉抑制部品 2 と電氣的に等価であり、電磁干渉抑制部品 56 は電磁干渉抑制部品 2 と同様に機能する。そして、電磁干渉抑制部品 56 では、ビアホール 10 を使用しない分、隣接する配線層 4 はより小さい抵抗で接続されることになり、高周波電源電流を低インピーダンスでバイパスする上で有効である。

【0043】次に、本発明による電磁干渉抑制部品の第 3 の実施の形態例について説明する。図 8 は本発明の第 3 の実施の形態例の電磁干渉抑制部品を示す要部断面側面図である。図中、図 1 などと同一の要素には同一の符号が付されており、それらに関する説明はここでは省略する。図 8 に示した第 3 の実施の形態例の電磁干渉抑制部品 60 が電磁干渉抑制部品 2 と異なるのは、図 8 に示したように、隣接する配線層 4 とグランド層 6 との間隔 T が、積層順に下から順にしたいに広くなるように形成されている点である。このような構造は配線層 4 とグランド層 6 との間に介在する絶縁層 8 の厚さを変えることで形成できる。

【0044】この電磁干渉抑制部品 60 では、第 1 の信号端子 14 に近い配線層 4 およびグランド層 6 はほど大きい静電容量を形成するので、第 1 の信号端子 14 が半導体集積回路の電源端子側となるように接続すれば、半導体集積回路の電源端子に近い位置により容量の大きいコンデンサが接続されることになり、電磁干渉抑制部品 60 により構成した本発明の電磁干渉抑制回路のデカップリング回路としての性能がより向上する。

【0045】また、配線層 4 の間隔は、上述のように下から順に広くする以外にも、上層の配線層 4 から順に広くしてもよい。その場合には、第 2 の信号端子 16 に近いほどより大きい静電容量が形成されるので、第 2 の信号端子 16 側を半導体集積回路の電源端子に接続することで同様の効果が得られる。なお、図 8 では要点を分かり易くするため隣接する配線層 4 を接続するビアホールは省略されている。

【0046】この電磁干渉抑制部品 60 と同様の機能は、配線層 4 の幅を順次変えることによって実現できる。すなわち、図 1 に示した電磁干渉抑制部品 2 で、各配線層 4 における、それぞれの 2 つの接続端部 58 を結

ぶ方向（矢印A；電流の流れる方向）に直交する方向の幅を、たとえば下層側の配線層4ほど広くし、したがって積層順にしたいに狭くなるようにすると、第1の信号端子14に近い配線層4ほど大きい静電容量を形成することになり、第1の信号端子14が半導体集積回路の電源端子側となるように接続すれば、半導体集積回路の電源端子に近い位置により大きいコンデンサが接続されることになり、電磁干渉抑制部品60と同様の効果が得られる。無論、この場合にも、上層側ほど配線層4の幅を広くする構造としても同様の効果が得られる。

【0047】また、図1に示した電磁干渉抑制部品2などにおいて、各配線層4の、それぞれの2つの接続端子58を結ぶ方向の長さが、同方向に直交する方向（矢印B）の幅より長くした場合には、隣接する配線層4を流れる電流はより長い距離を平行に、そして逆方向に流れることになり、配線層4を流れる電流により励起される磁界は相互に打ち消し易くなる。その結果、電磁干渉抑制部品2が形成する伝送線路のインダクタンスの低下を防止でき、高周波電源電流のバイパス機能を確実に発揮させることができる。

【0048】なお、実施の形態例の電磁干渉抑制部品2などでは、第1および第2の信号端子14、16ならびにグラウンド端子18はいずれも1つのみとしたが、各端子はそれぞれが複数の端子により構成されていてもよい。たとえばグラウンド端子18は、配線層4およびグラウンド層6を内側に含む断面矩形の筒状に形成し、4つの外面すべてを個々の端子とすることができる。そのような構造では、プリント配線基板上に電磁干渉抑制部品2を実装する際、実装上もっとも都合のよい端子を用いればよく、柔軟性が向上する。第1および第2の信号端子14、16についても同様である。上記実施の形態例では、図3に示したように、LSI32は電源配線22を通じて給電されるとしたが、電源配線22の代わりに全面平板の電源層によりLSI32が給電される場合にも、無論電磁干渉抑制回路34はその効果を発揮する。また、半導体集積回路が複数の電源端子36およびグラウンド端子33を有している場合には、各電源端子36とグラウンド端子33の対ごとに電磁干渉抑制回路34を実装することで、電磁干渉抑制回路34はいっそう効果的に機能する。

【0049】

【発明の効果】以上説明したように本発明の電磁干渉抑制部品は、導電性材料から成る複数の配線層と複数のグラウンド層とを含み、前記配線層と前記グラウンド層とは交互に積層され、隣接する前記配線層と前記グラウンド層との間に絶縁材料から成る絶縁層が介在し、下から奇数番目の前記配線層とその1つ上の前記配線層とは同一側の端部において電氣的に接続され、下から偶数番目の前記配線層とその1つ上の前記配線層とは前記端部と反対側の端部において電氣的に接続され、最下層の前記配線層

は第1の信号端子に接続され、最上層の前記配線層は第2の信号端子に接続され、前記グラウンド層はグラウンド端子に接続されていることを特徴とする。

【0050】また、本発明の電磁干渉抑制回路は、導電性材料から成る複数の配線層と複数のグラウンド層とを含み、前記配線層と前記グラウンド層とは交互に積層され、隣接する前記配線層と前記グラウンド層との間に絶縁材料から成る絶縁層が介在し、下から奇数番目の前記配線層とその1つ上の前記配線層とは同一側の端部において電氣的に接続され、下から偶数番目の前記配線層とその1つ上の前記配線層とは前記端部と反対側の端部において電氣的に接続され、最下層の前記配線層は第1の信号端子に接続され、最上層の前記配線層は第2の信号端子に接続され、前記グラウンド層はグラウンド端子に接続されている電磁干渉抑制部品と、前記第1または第2の信号端子と前記グラウンド端子との間に接続されたコンデンサとを含み、前記コンデンサの特性インピーダンスと、前記コンデンサが接続された前記第1または第2の信号端子と前記グラウンド端子間の前記電磁干渉抑制部品の特性インピーダンスとはほぼ等しいことを特徴とする。

【0051】したがって、本発明の電磁干渉抑制部品の等価回路は、各配線層がコイルとして機能するので、複数のコイルを直列に接続し、隣接するコイルの各共通接続とグラウンド端子との間に、各配線層と、隣接するグラウンド層とによるコンデンサを接続した構成となる。そのため、たとえば0.05オームから0.1オームといったきわめて低い特性インピーダンスを実現できる。一方、本発明の電磁干渉抑制回路は、このような電磁干渉抑制部品にコンデンサを接続して構成でき、そのコンデンサとしてたとえばセラミックコンデンサを用いると、セラミックコンデンサの等価直列抵抗は0.05オームから0.1オーム程度であるから、上記電磁干渉抑制部品は特性インピーダンスとはほぼ同じインピーダンスで終端されて反射がきわめて少ない伝送線路となる。

【0052】したがって、電磁干渉抑制部品の、コンデンサを接続しない側の第1または第2の信号端子を半導体集積回路などの電源端子に接続すれば、その電源端子は高周波的には非常に低いインピーダンスでグラウンドに接続されることになり、半導体集積回路などで発生する高周波電源電流を電源端子の箇所ですぐにバイパスすることができる。

【0053】その結果、半導体集積回路などで発生した高周波電源電流は、ごく一部が電源導体側に流れるのみとなり、従来、電源導体などがアンテナとなって発生していた放射電磁ノイズは大幅に低減する。そして、逆に他の半導体集積回路などで発生した高周波電源電流は、本発明の電磁干渉抑制回路によってバイパスされるので、電磁干渉抑制回路を接続した半導体集積回路には高周波電源電流は流れ込まず、したがってノイズ耐性が向上する。

【0054】また、半導体集積回路などで発生した高周波電源電流が電源導体側にはわずしか流れないので、高周波電源電流が電源導体を通ることによって従来発生していた電源電圧の交流的な変動は大幅に抑制され、半導体集積回路などの動作の安定化を図ることが可能となる。さらに、本発明の電磁干渉抑制回路が従来のデカップリングコンデンサの機能を果たすので、半導体集積回路の電源端子などに従来接続していたデカップリングコンデンサは不要である。そして、本発明の電磁干渉抑制回路は、デカップリングコンデンサを用いる場合のよう

に各半導体集積回路ごとに特性を設計する必要がないので、設計工数を大幅に削減することができる。
【0055】また、本発明の電磁干渉抑制部品は基本的に導体層を絶縁層を介在させて積層した構成であるから構造がきわめて簡素であり、低コストで、かつ小型に作製することができる。そして、従来のように電源配線を蛇行させてインダクタンスを高めたりする必要がないので、半導体集積回路などを多層プリント配線基板などに高密度で実装することができる。

【図面の簡単な説明】

【図1】本発明による電磁干渉抑制部品の一実施の形態例を示す斜視概念図である。

【図2】多層プリント配線基板に実装した本発明の電磁干渉抑制回路の一例を示す平面図である。

【図3】(A)ないし(C)は、図2のA-A'線、B-B'線、ならびにC-C'線に沿った断面側面図である。

【図4】実施の形態例の電磁干渉抑制回路周辺を電気回路によって表した回路図である。

【図5】実施の形態例の電磁干渉抑制回路を用いた場合の電源配線を通る高周波電源電流を実測した結果を示すグラフである。

*【図6】複数のLSIをプリント配線基板上に実装し各LSIごとに実施の形態例の電磁干渉抑制回路を配置した場合を示す平面図である。

【図7】本発明の第2の実施の形態例の電磁干渉抑制部品を示す要部断面側面図である。

【図8】本発明の第3の実施の形態例の電磁干渉抑制部品を示す要部断面側面図である。

【図9】全面平板電源層を有する多層プリント配線基板上に実装された半導体集積回路およびデカップリング回路の周辺を示す回路図である。

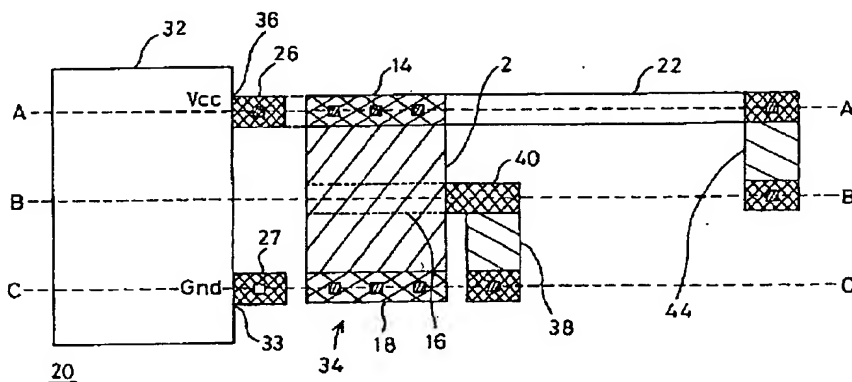
【図10】技術技術を用いたプリント配線基板の一例を示す要部平面図である。

【図11】デカップリングコンデンサが接続された複数の回路素子周辺の一例を示す回路図である。

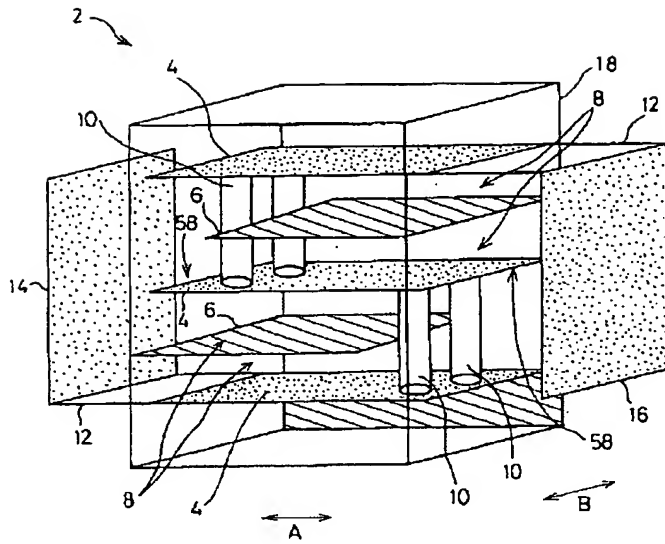
【符号の説明】

2……電磁干渉抑制部品、4……配線層、6……グランド層、8……絶縁層、10……ビアホール、12……導電層、14……第1の信号端子、16……第2の信号端子、18……グランド端子、20……プリント配線基板、22……電源配線、24……グランド層、26……配線、28……配線、30……絶縁材料層、32……LSI、34……電磁干渉抑制回路、36……電源端子、38……チップコンデンサ、40……配線、42……ビアホール、44……チップコンデンサ、46……コイル、48……コンデンサ、52……曲線、54……曲線、56……電磁干渉抑制部品、58……接続端子、60……電磁干渉抑制部品、101a……IC/LSI、101b……IC/LSI、101c……IC/LSI、801……電源層、803……IC/LSI、804……デカップリングコンデンサ、805……多層プリント配線基板、902……幹線パターン、903……回路素子、905……枝電源配線。

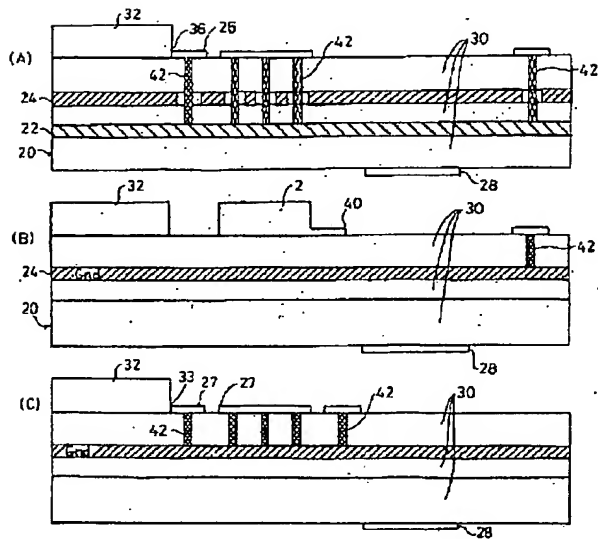
【図2】



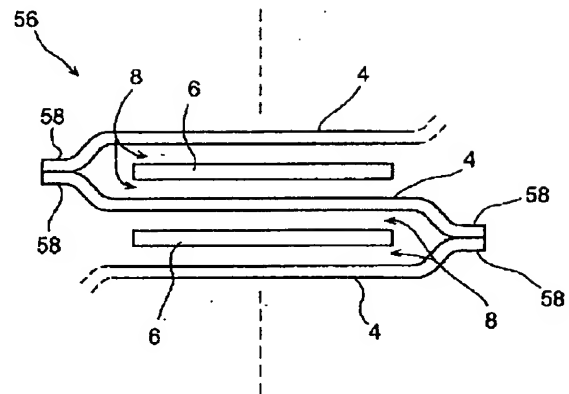
【図1】



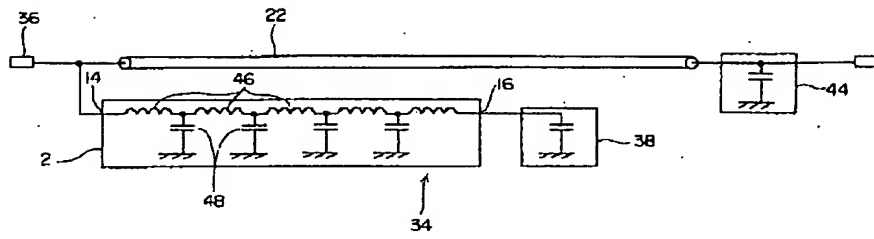
【図3】



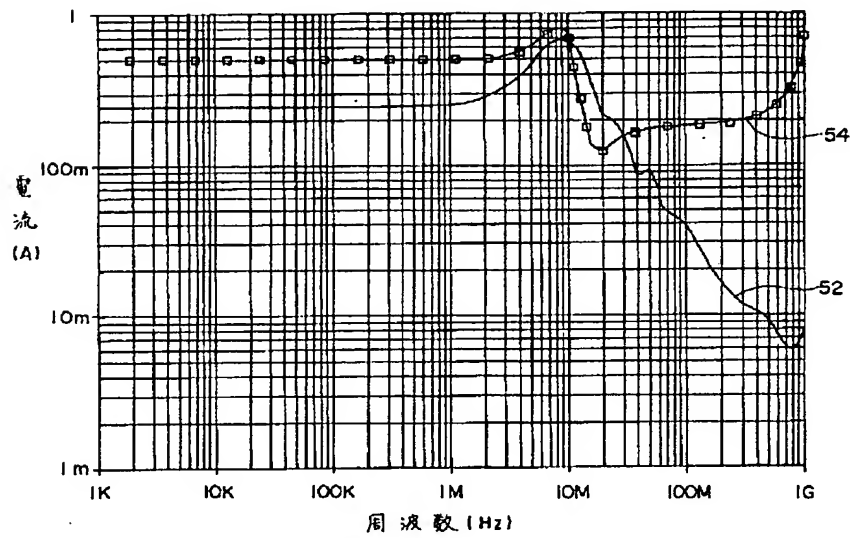
【図7】



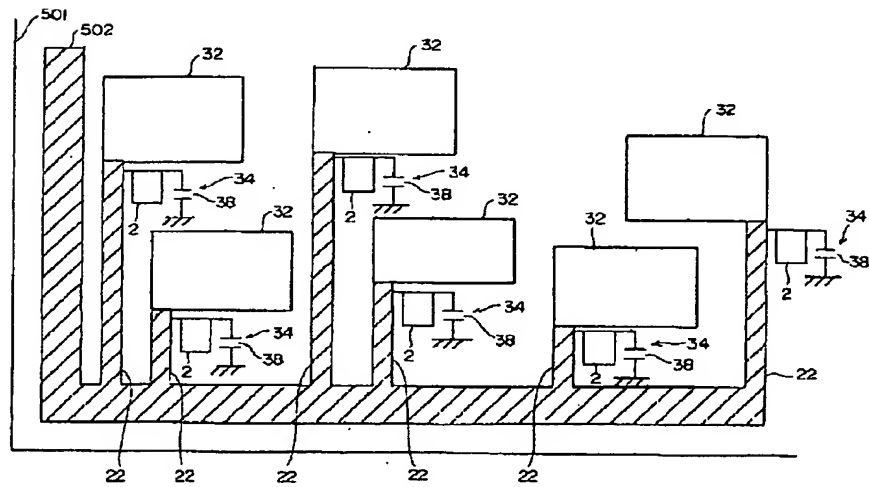
【図4】



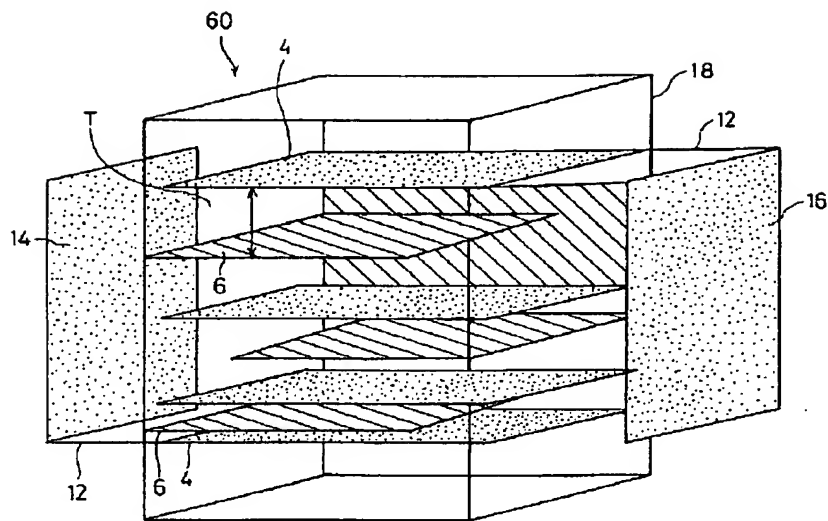
【図5】



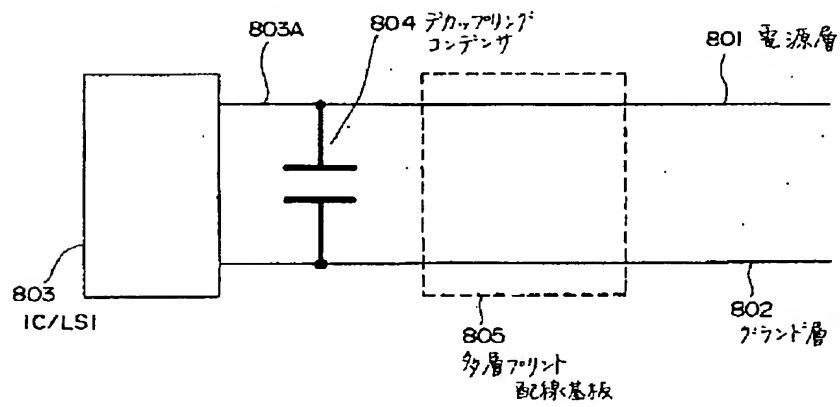
【図6】



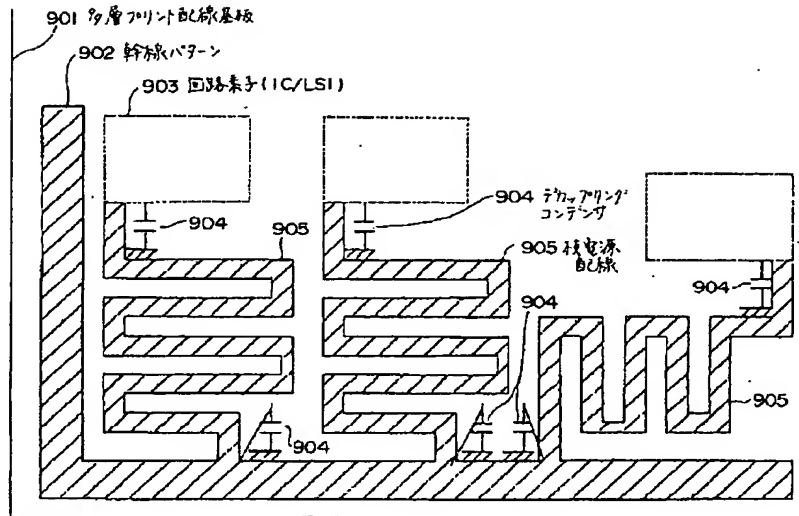
【図8】



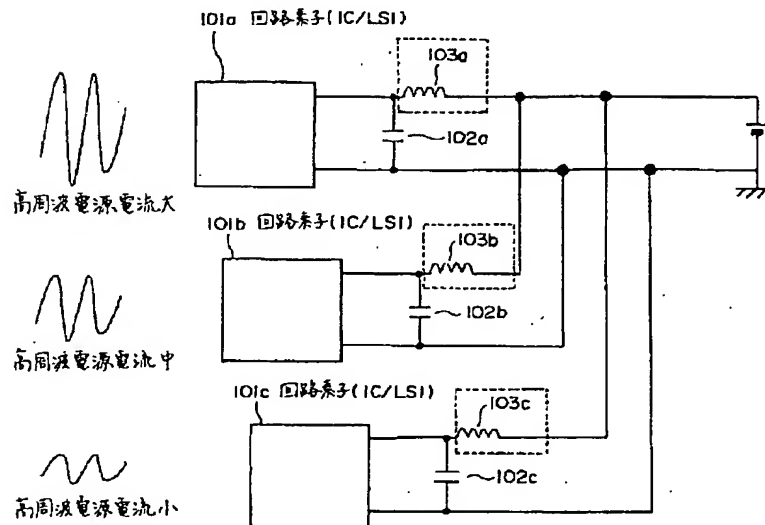
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 吉田 史郎
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 遠矢 弘和
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 森 透
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 越智 篤
東京都港区芝五丁目7番1号 日本電気株
式会社内

F ターム(参考) SE321 AA32 AA33 BB21 GG01 GG05
SE338 AA03 BB75 CC01 CC04 CC06
EE13
SE346 AA12 AA15 AA43 BB02 BB03
BB04 BB07 FF45 HH01